HC 85 INTERFATA PENTRU DISC FLEXIBIL
SERIALA SI RETEA LOCALA

CUPRINS

1. Prezentare generala

Interfata de disc flexibil, retea si legatura seriala permite extinderea configuratiei microcalculatorului HC85, facind posibila folosirea unei unitati de disc flexibil, legatura dentre un HC85 si un alt calculator sau interconectarea mai multor calculatoare HC85 intr-o retea locala. Pentru realizarea acestei interfete s-a ales o solutie care sa cuprinda circuite integrate standard si un singur circuit integrat pe scara larga -8272- care controleaza unitatea de disc flexibil.

Aceasta solutie prin folosirea unor componente (hardware) simple, multe din functiile obisnuit indeplinite de circuite specializate sint preluate de programul rezident in memoria ROM de pe interfata fapt care implica folosirea procesorului de pe placa de baza a lui HC85 in transferul datelor pe linia seriala, retea sau intre unitatea de disc flexibil si circuitul specializat 8272.

In cazul interfetei de retea si seriala, linia de emisie date este controlata de procesor prin intermediul unor bistabile, linia de receptie este testata de procesor folosind un port de intrare.

Transferul datelor de la disc catre memorie si invers folosind modul NON DMA (fara acces direct la memorie) al circuitului specializat 8272, se face sub controlul procesorului care comanda direct prin porturi de intrare/iesire registrul de date si stare din circuitul specializat 8272.

Interfata de disc, seriala si retea, prescurtat interfata 1 (IF1), este realizata pe o placheta care se conecteaza prin intermediul unui conector tip EUROCARD cu doua rinduri de contacte , la placa de HC85.

```
I                                                           I
I                                                           I
I                      HC  85                               I
I                                                           I
I                                                           I
I------------------------------------------I     I---I
                                           I     I

              --------------
              ! Conectori  !                Conector
              --------------                EUROCARD
     retea        seriala       disc
                                           I          I
 -----I       I---I     I---I       I---I          I----
I                                                           I
I                                                           I
I                                                           I
I                                                           I
I                      I F 1                                I
I                                                           I
I                                                           I
I                                                           I
I                                                           I
 -----------------------------------------------------------
```

IF1 extinde comenzile BASIC ale calculatorului HC 85 pentru a putea permite lucrul cu discul, cu linia seriala si cu reteaua locala. HC 85 impreuna cu IF1 poseda 26 Ko memorie ROM si 49 Ko

memorie RAM. Cei 10 Ko suplimentari de ROM se pagineaza peste ROM-ul de baza al calculatorului. Blocurile de memorie sint comutate utilizind linia de ROMCS de pe conectorul de interfata al calculatorului. Cind linia se afla la 1 logic se dezactiveaza 16 Ko de ROM de pe placa lui HC 85 si se pagineaza cei 10 Ko ROM si 1 Ko RAM de pe interfata(memoria virtuala).

Interfata seriala si cea de retea sint alcatuite din bistabile tip D care sint programate de catre microprocesor sa functioneze sub controlul rutinelor din ROM-ul de interfata. Interfata de disc flexibil furnizeaza semnalele necesare functionarii discului prin intermediul unui circuit specializat LSI 8272.

Conector Interfata

Pin		Pin	
A1	A15	B1	A14
A2	A13	B2	A12
A3	D7	B3	+5V
A4	NC	B4	NC
A5	CHEIE	B5	CHEIE
A6	D0	B6	GND
A7	D1	B7	GND
A8	D2	B8	CLK
A9	D6	B9	A0
A10	D5	B10	A1
A11	D3	B11	A2
A12	D4	B12	A3
A13		B13	
A14		B14	
A15		B15	
A16	MREQ	B16	
A17	IORQ	B17	
A18	RD	B18	
A19	WR	B19	
A20	-5V	B20	
A21	WAIT	B21	A7
A22	+12V	B22	A6
A23		B23	A5
A24	MI	B24	A4
A25	RFSH	B25	PROMCS
A26	A8	B26	
A27	A10	B27	A9
A28	NC	B28	A11

2. SELECTIE MEMORIE VIRTUALA

Memoria virtuala reidenta pe interfata se pagineaza peste memoria ROM de pe plca de baza, la adresele:

PROM 0000....27FF
RAM 2800....2BFF

Memoria virtuala contine programele care extind comenzile BASIC ale calculatorului HC85 si permite lucrul cu interfata seriala, retea si disc flexibil.Memoria locala pe Interfata 1 se activeaza la aparitia unui ciclu de incarcare instructiune de la una din adresele :

0008H
1708H

Oricare din aceste cicluri seteaza bistabilul B11 semnalul PHANTOM punind semnalul ROMCS la 1 logic, dezactiveaza ROM-ul de pe placa de baza.

Dezactivarea memoriei locale are loc in momentul incarcarii instructiunii de la adresa 0700H. In timpul acestui ciclu apare un impuls pe ceasul bistabilului B11 pinul 3. La aparitia frontului crescator al lui M1 semnalul PHANTOM trece in 0 logic, se dezactiveaza memoria interfetei si se reactiveaza memoria ROM de pe placa de baza a calculatorului.

Decodificarea ciclurilor de intrare la adresele 8H si 1708H respectiv iesire la 700H in si din memoria locala este realizata cu ajutorul decodificatoarelor C9 si C11 (tip 74LS138) si portile logice aferente.

3. INTERFATA SERIALA

3.1. DESCRIEREA SEMNALELOR

Accesul la Interfata seriala se face printr-un conector Canon (mama) de 9 puncte. Prezentarea semnalelor la conector este urmatoarea:

DA!

pe dos ↓↓↓↓

Pin	Semnal	
2	DTR	(iesire) - emisie stare HC 85 catre partener (pentru receptie date) fig.2
1	CTS	(intrare)- receptie stare partener (pentru emisie date) fig.1
4	TxD	(iesire) - emisie date fig.2
3	RxD	(intrare)- receptie date fig.1
5	neconectat	
6	+9V	
7	GND	
8	GND	
9	GND	

Emisie din IF1

```
               |----------------------------|
    CTS        |  partenerul este gata      |       partenerul  nu
  emis de      | sa receptioneze date       |       este gata sa
  partener     |                            |       receptioneze
---------------|                            |--------------------

---------------|         |----------------|--------------------------
    TxD        | START|D0 D1 ...... D7|STOP
               |----------------------|
```

Receptie din IF1

```
                 |-----------------------------|
      DTR        | HC85 + IF1 este gata sa     |      HC85 nu mai
 emis de HC85    | receptioneze date           |      primeste date
-----------------|                             |-----------------

-----------------|       |---------------|-------------------------
      RxD        | START |D0 D1 ...... D7|STOP
                 |-------|---------------|
```

Prin intermediul Interfetei seriale se pot conecta :

- HC 85 la HC 85
- HC 85 la M 118
- Hc 85 la Imprimanta seriala

Conexiunile pentru aceste situatii sint (pinii de pe conector la care se gasesc semnalele sint prezentati mai sus):

```
             TxD ----------\ /------------ TxD

             RXD ----------/ \------------ RXD

   HC 85     CTS ----------\ /------------ CTS     HC 85
                            /
             DTR ----------/ \------------ DTR

             GND ------------------------- GND


             RxD ------------------------- TxD

             TxD ------------------------- RxD

   HC 85     DTR ---|                      DSR     M 18
                    |                              USART
             CTS    |
                    |
             +9V ---|

             GND ------------------------- GND

             RxD

             TxD ------------------------- RxD

   HC 85     DTR                                   Imprimanta
                                                   ROBOTRON
             CTS ------------------------- DTR     Data Buffer
                                                   Full
             GND ------------------------- GND
```

Serializarea si deserializarea datelor este executata de catre microprocesorul Z80 A sub controlul programului rezident in ROM.

3.2.PORTURI FOLOSITE DE INTERFATA SERIALA

1) TxD - pentru citire semnal TxD se foloseste portul 0F7H, bitul 7
D7 = 1 logic corespunde bitului de START
D7 = 0 logic corespunde bitului de STOP

2) RxD - pentru scriere semnal RxD se foloseste portul 0F7H bitul 0, dar acest bit este folosit si de catre emisia catre retea. Din acest motiv inainte de a incepe emisia catre RxD trebuie selectat modul RS232C in Interfata 1

```
ld   a,10101111B
out  (0EFH),a        emisia se va face catre RS232

ld   a,0
out  (0F7H),a        aduce linia RxD la 0 logic
                     ( adica repaus )
```

La terminarea emisiei unui caracter revenirea la modul network se face astfel:

```
ld   a,1
out  (0F7H),a        ridica linia RxD la 1

ld   a,10101110B
out  (0EFH),a        ridica linia RxD la 1 logic si
                     activeaza modul network
```

0 logic = bit STOP
1 logic = bit START

Emisia efectiva pe RxD se face cu

```
out   (0F7H),a  pe bitul 0
```

de exemplu:

```
ld   a,0
out  (0F7H),a      emisie bit STOP

ld   a,1
out  (0F7H),a      emisie bit START
```

3) CTS - receptie stare partener pentru emisie date; se foloseste portul de intrare 0EFH bitul 3:

0 logic semnifica partener nepregatit pentru receptie
1 logic semnifica partener gata de receptie

```
exemplu:   wait DTR
                     in  a,(0EFH)
                     and 00001000B
                     jr  z,wait DTR
```

4) DTR - emisie stare HC 85 catre partener comunicatie cu semnificatia "gata de receptie"

se foloseste portul de iesire OEFH bitul D4

O logic semnifica HC 85 nu este gata de receptie
1 logic semnifica HC 85 este gata de receptie

```
ld  a,10101110B
out (OEFH),a          nu sint gata de receptie

ld  a,10111110B
out (OEFH),a          sint gata de receptie
```

3.3.FUNCTIONARE INTERFATA SERIALA

Interfata seriala este prezentata in pagina 3 din setul de scheme.

Portile SAU(B82,B3,C8) genereaza pulsuri corespunzatoare ciclurilor de I/E porturilor asociate interfetei seriale si retelei.

DTR De la intrarea de pe SerialCONector=SCON/2 ajunge la receptorul (1489) pin 1 este inversat in C.I.1489 4/6 si adus pe magistrala de date prin A3 (74LS125) pin 2 si 3 (activare pe 1) ca D3
Astfel DTR intra in ciclul de IN (OEFH),a

TxD De la intrarea de SerialCONector = SCON/2 ajunge la receptorul 1489 pin 13 este inversat in 1489 si adus pe magistrala de date prin A3 pin 5 si 6 (activare pe 4) ca D7
Txd intra in ciclul de IN (OF7H),a

B1

Bistabilul B4 (74LS74) 1,2,3,4,5,6 care manevreaza starea semnalului RxD este incarcat cu valoarea aflata pe magistrala de date bitul 0 la aparitia frontului pozitiv (ultimul front) pe impulsul -OUT F7

-OUT F7

DO

B2/6

C.I.C12 (74LS32) blocheaza emitatorul(1488) 4,5,6 cind se lucreaza cu reteaua .

Bistabilul B1 (74LS74) 8,9,10,11,12,13 este sters de -RESET (mod retea) si este incarcat la frontul crescator al semnalului -OUT EF din bitul de date DO (senmalul BDO = buffered DO)

Bistabilul B1 pinii 1,2,3,4,5,6 care manevreaza starea semnalului CTS este sters de -RESET si este incarcat cu valoarea aflata pe magistrala de date, bitul 4, la aparitia frontului pozitiv pe impulsul -OUT F7

-OUT F7

D4

B1/6

Prin emitatorul (1488) pinul 3 semnalul CTS ajunge la SerialCONector pozitia 1 (SCON/1)

4. INTERFATA DE RETEA

4.1. DESCRIEREA SEMNALELOR

Caracteristicile interfetei de retea sint urmatoarele :
-semnalele se transmit la nivel TTL
-viteza de transmisie este de 80 kbaud (12 us pe bit)
-se pot conecta 64 de calculatoare intr-o retea
-cablul de legatura intre calculatoare este de tip bifilar sadat si nu se recomanda o lungime mai mare de 10 m.

Interfata de retea este prezentata in setul de scheme la ginile 3.
Accesul la Interfata de retea se face prin doi conectori k (notati pe schemele logice N1,N2 si descrisi in fig.1)cu 3 li spre placa si 2 poli spre exterior dupa cum se vede din ura 1.

```
               1
Semnal        ---|----|-           CONECTOR JACK-RETEA
retea          2 |    | |--.
              ---|    | |--"       1. -semnal
              |  |----|-           2. -conecteaza la semnal
              |R    3|             rezistenta de 680 ohmi
              |-/\/\-|             cind cablul de retea este
                680  |             scos
                   --- GND         3. -GND
```

```
SIMBOL:
       ----------------
       |              |
-------------  ---    |
       |       \/     |
       |     |---     |
       | --+--|  ...  |      N1
       |   |      |   |
       |   |-\/\/\+   |       Similar N2
       |    680   |GND|
       |          ... |
       |--------------|
```

figura 1

4.2. PORTURI FOLOSITE DE RETEA

- Portul de selectie a modului de lucru (retea sau seriala este 0E7H bitul 0

0 logic = mod retea (tranzistorul T1 blocat)
1 logic = mod RS 232C (tranzistorul T1 saturat)

```
ld   a,1
out  (0F7H),a       ridica linia RxD la 1 logic
                    (T2 blocat)
ld   a,10101110B
out  (0EFH),a       ridica linia RxD la 1 logic si
                    activeaza   modul   retea
```

-Portul pentru citire linie date din retea este IN 0EFH bitul 0

0 logic = retea in repaus (fara nici un emitator activ)
1 logic = retea in stare activa (exista cel putin un emitator activ)

-Portul pentru emisie date in retea este OUT 0F7H bitul 0

0 logic = emitator activ (tranzistorul T2 deschis)
1 logic = emitator pasiv (tranzistorul T2 inchis)

-Portul pentru sincronizare procesor cu frontul descrescator al starii retelei este portul 0EFH bitul D5

1 logic = circuit sincronizare inactiv
0 logic = intrare in asteptare front descrescator

Acest circuit de sincronizare se activeaza numai in momentul in care exista un emitator activ pe retea (D8/1 la 1 logic) si are rolul de a genera un semnal WAIT prelungit pina cind reteaua revine in starea pasiva (D8/1 la 0 logic).

4.3.DESCRIEREA PROTOCOLULUI FOLOSIT DE RETEA

Din punct de vedere electric pe retea este folosita banda de baza

- semnalul nu este modulat de o purtatoare. Driverul este un repetor pe emitor activ numai pentru nivelul de 1 logic, nivelul de 0 logic fiind asigurat in mod pasiv de terminatoarele de la capetele retelei.

Protocolul folosit este de tip MA/CD (Multiple Access/Collision Detect), asemanator cu retelele de tip Ethernet.

La retea pot fi conectate maximum 64 de statii numerotate de la 1 la 64. Numarul de statie 0 este rezervat pentru emisie de tip 'broadcast'.

La nivel fizic, transferul de date poate avea loc in doua moduri:

- normal
- broadcast (emisie generala)

In modul normal, transferul are loc numai intre doua statii din retea, din care una este sursa de date, iar cealalta este destinatia datelor. Comunicatia este cu interblocare completa: fiecare pachet de date este verificat la destinatie si achitat pozitiv (ACK) sau negativ (NAK) prin emiterea unui caracter de catre statia destinatie.

In modul broadcast, transferul are loc intre o statie sursa a datelor si zero, una sau mai multe statii destinatie. Emisia

datelor se face fara nici o achitare din partea statiilor destinatie. Pentru a evita erorile de ritm de preluare a pachetelor din retea, in acest mod se insereaza intirzieri importante intre pachetele de date din retea, ceeace duce la scaderea ratei medii de transfer cu un factor de circa 4.

Modul broadcast este recomandat numai pe o retea pe care s-a determinat in mod experimental ca nu apar multe erori, in cazul in care se doreste multiplicarea rapida a unui program.

La nivel macro algoritmii folositi de statia sursa si respectiv destinatie sint:

Emisie in retea

Pasul 1
Asteapta ca reteaua sa fie libera pentru un interval aleator de la 2 la 3 milisecinde.

Pasul 2
Emite un scurt pachet 'cercetas'. Daca apare o coliziune (a mai incercat cineva sa emita in acelasi moment) repeta de la pasul 1.

Pasul 3
Emite pachetul de control ('Header Packet'), care consta din cei 8 octeti de la NCIRIS pina la NCHCS inclusiv, octeti care se gasesc in zona canalului de retea (vezi Manual utilizare IF1).

Pasul 4
Daca pachetul nu este achitat pozitiv in interval de 1 milisecunda, repeta de la pasul 1.

Pasul 5
Emite pachetul de date de lungime variabila (maxim 255 octeti) din bufferul de date.

Pasul 6
Daca pachetul nu este achitat pozitiv in interval de 1 milisecunda, repeta de la pasul 1.

Receptie din retea

Un pachet 'cercetas' impreuna cu pachetul de control dureaza impreuna circa 1,6 milisecunde si sint repetate la aproximativ 8 milisecunde. Transmisia unui pachet 'cercetas', a unui pachet de control si a unui pachet de date de lingime maxima dureaza aproximativ 37 milisecunde.

Pasul 1
Asteapta ca reteaua sa fie libera pentru un interval de minimul 2 milisecunde.

Pasul 2
Asteapta ca reteaua sa devina activa, ceeace ar trebui sa fie un pachet cercetas.

Pasul 3
Receptioneaza pachetul de control si verifica suma de control, care confirma faptul ca pachetul de control contine

numerele corecte pentru statia sursa si pentru statia destinatie (normal 1 la 64 sau 0 pentru broadcast). Daca suma de control nu este corecta, atunci repeta de la pasul 1. Trimite un caracter de achitare numai daca nu este broadcast.

Pasul 4

Receptioneaza blocul de date si verifica suma de control. Daca suma de control este incorecta atunci repeta de la pasul 1. Trimite un caracter de achitare numai daca nu este broadcast.

Formatul unui pachet cercetas este:

- 1 bit 'leader' la 1 logic
- 8 biti de date in ordinea D7 D6 D5 ... D0 reprezentind numarul statiei sursa
- intirziere pina la blocul de control, in care timp reteaua este la 0 logic.

Pachetul cercetas incepe la 22 cicli procesor (prescurtare c) de la ultimul test al retelei. Fiecare bit din pachetul cercetas dureaza 181 c, cu lectura retelei pentru detectarea coliziunii dupa 136 c de la limita de bit. Intirzierea pina la pachetul de control este de 271 c.

Formatul unui pachet de control sau de date este:

- 1 bit 'leader' la 1 logic timp de 98 c.
- N - 1 octeti de forma:
  - 1 bit 'start' la 0 logic timp de 40c
  - 8 biti de date in ordinea D0 D1 D2 ... D7 fiecare de 40 cicli
  - 1 bit de 'stop' la 1 logic timp de 145 c.

- Ultimul octet de forma:
  - 1 bit 'start' la 0 logic timp de 40c
  - 8 biti de date in ordinea D0 D1 D2 ... D7 fiecare 40 c.
  - 1 bit de 'stop' la 1 logic timp de 86 c.

Formatul canalului de retea este:

```
+00              DEFW     8
+02              DEFW     8
+04              DEFB     'N'
+05              DEFW     adresa rutinei de iesire din ROM
+07              DEFW     adresa rutinei de intrare din ROM
+09              DEFW     276        ; lungime canal
+11   NCIRIS:    DEFB     numarul statiei cu care se discuta
+12   NCSELF:    DEFB     numarul statiei locale
+13   NCNUMB:    DEFW     numarul blocului curent
+15   NCTYPE:    DEFB     tipul pachetului 0 = date, 1 = EOF
+16   NCOBL:     DEFB     numar de octeti in blocul de date 0-255
+17   NCDCS:     DEFB     suma de control pentru blocul de date
+18   NCHCS:     DEFB     suma de control pentru blocul de control
+19   NCCUR:     DEFB     pozitia ultimului octet de date preluat
```

```
+20  NCIBL:     DEFB       numarul de octeti de date valizi.
+21  NCB:       DEFB       bufferul de date de 255 de octeti
+275 ...        ...        ultimul octet de date
```

4.4.FUNCTIONARE INTERFATA RETEA

Bistabilul B2/6 (74LS74) genereaza semnalul SERIAL DATA, care este folosit ca semnal de iesire atit de interfata seriala cit si de cea de retea. Selectia iesirii (seriala sau retea) este facuta cu semnalul RS232 generat de bistabilul B1/8(74LS74). Daca iesirea 9 este la 1 logic este activata iesirea semnalului SERIAL DATA catre Interfata seriala prin poarta C12/8(74LS32). Daca iesirea C1/9este la 0 logic este activata iesirea semnalului SERIAL DATA catre retea. Tranzistorul T2 este folosit pentru a comanda prin rezistenta R17 reteaua. Daca SERIAL DATA este la 1 logic, T2 este blocat si reteaua este pasiv adusa la 0 logic de catre terminatoarele de la capetele retelei. Daca SERIAL DATA este la 0 logic, T2 se satureaza ridicind nivelul retelei spre 5V Rezistenta R17 are rolul de a limita curentul de colector al tranzistorului T2, in cazul in care exista un scurtcircuit la mas Tranzistorul T1 este folosit pentru a bloca pe T2 ridicind baza acestuia la +5V atunci cind SERIAL DATA trebuie sa treaca spre Interfata seriala si nu spre retea. Comparatorul B339 formeaza un circuit trigger-schmidt cu pragul semnalului de intrare fixat prin divizorul rezistiv R19/R20 la cca. 2,5 V. Semnalul TTL de la iesirea comparatorului este adus pe bitul D0 al magistralei procesorului prin circuitul 3-state A3/11. A3 este activat in ciclul de executie al instructiunii IN a,(0F7H) de semnalul -INF7.

Datorita faptului ca viteza de transmisie este de 80 kbaud sincronizarea la receptie a microprocesorului cu datele primite pe retea se face in modul urmator:

Un strob pe semnalul -OUT EF cu bitul D5 la 0 logic, forteaza iesirea B2/8 la 1 logic si satureaza tranzistorul T3, aducind semnalul -WAIT in starea 0 logic.In momentul in care B2/10 revine la 0 logic (apar date pe retea) bistabilul B2/8 este readus la 0 logic, microprocesorul fiind scos din starea WAIT si executind cicluri de INF7 realizeaza receptia datelor de pe retea.

5. INTERFATA DE DISC FLEXIBIL

5.1.DESCRIEREA SEMNALELOR

Accesul la disc se face prin intermediul unui conector (mama) cu 34 puncte la care dispozitia semnalelor de intrare si iesire este urmatoarea:

```
                  ------------
              ----|34        33|---- GND
HEAD SEL      ----|32        31|---- GND
RD DATA       ----|30        29|---- GND
WR PROTECT    ----|28        27|---- GND
TRK 0         ----|26        25|---- GND
WR EN         ----|24        23|---- GND
WRITE DATA    ----|22        21|---- GND
STEP          ----|20        19|---- GND
DIRECTION     ----|18        17|---- GND
MOTOR ON      ----|16        15|---- GND
DRIVE SEL0    ----|14        13|---- GND
DRIVE SEL1    ----|12        11|---- GND
MOTOR ON 0    ----|10         9|---- GND
INDEX         ----| 8         7|---- GND
              ----| 6         5|---- GND
              ----| 4         3|---- GND
              ----| 2         1|---- GND
                  ------------
```

Semnalele de interfata cu discul flexibil sint:

1)semnale de iesire din interfata

-HEAD SEL - 0 selecteaza capul de citire 0, 1 selecteaza capul de citire 1

-DRIVES 0 - 1 logic (0V) pe acest semnal activeaza motorul de antrenare al discului 0 si logica interna a discului.

-DRIVES 1 - idem pentru discul 1.

-DIRECTION - 1 logic pe acest semnal (0V) si un impuls pe semnalul -STEP determina miscarea bratului de pozitionare cu o pista spre interiorul discului.

0 logic pe acest semnal (1V) si un impuls pe semnalul -STEP determina miscarea bratului de pozitionare cu o pista spre exteriorul discului. Nivelul semnalului va fi stabil cu min. 1 s inainte si dupa tranzitia semnalului STEP.

-STEP - Un puls de min 1 s la nivelul logic 1 (0V) determina miscarea bratului de pozitionare cu o pista pe unitatea selectata, in directia determinata de semnalul -DIRECTION. Temporizarea dintre doua impulsuri -STEP este determinata de continutul tabelei de caracteristici a discului tabela care se gaseste in memoria EPROM A 10.

-WRITE ENABLE - 1 .logic pe acest semnal (0V) activeaza logica de scriere din drivul selectat.

-WRITE DATA - Acest semnal transporta datele serializate de la Interfata 1 catre unitatea de disc flexibil. Fiecare impuls 1 logic (0V) este transformat de logica de scriere din discul selectat intr-o schimbare de orientare magnetica pe discheta. Durata unui impuls 1 logic pe semna-

lul -WRITE DATA va fi de cca. 300 ns (o stare procesor). Distanta dintre doua impulsuri va fi de 4, 8 sau 12 µs.

-MOTOR ON 0 — este legat cu DRIVES 0, la fel pentru drive 1.

2) Semnale de intrare in interfata

-PROTECT — 1 logic pe acest semnal (0V) indica faptul ca fanta de protectie a dischetei din unitatea selectata este acoperita. Interfata nu va incerca sa scrie pe un disc protejat astfel.

-READ DATA — Acest semnal transporta datele serializate de la unitatea de disc selectata catre interfata. Fiecare impuls 1 logic (0V) trebuie sa aiba durata de min. 400 ns.

5.2.PORTURI FOLOSITE DE INTERFATA DE DISC FLEXIBIL

Decodificarea porturilor folosite de interfata de disc este realizata de decodificatorul A62 (tip 74LS138) .Adresele A2,A3,A4 sint folosite pentru selectiile decodificatorului si vor fi A2=1,A3=0,A4=0 pentru porturi de interfata disc.

Adresele A5,A6,A7 sint decodificate pentru a produce semnalul de incarcare al registrului de control unitate disc B6 (tip 74LS174) si semnalul de selectie 8272.

Rezulta urmatoarea structura a porturilor de interfata disc:

A7	A6	A5	A4	A3	A2	A1	A0	
X	X	X	X	X	X	X	X	
0	0	0	0	0	1	1	1	-PORTUL 7 incarca registrul B
1	0	0	0	0	1	0	1	-PORTUL 133 adreseaza registrul de stare 8272
1	0	0	0	0	1	1	1	-PORTUL 135 adreseaza registrul de date 8272

Functiile executate de 8272 includ scriere sectoare,citire sectoare,formare pista, citire cimp adrese, cautare pista.

Serializarea/deserializarea datelor ,recunoasterea/scrierea marcilor, verificarea cimpurilor de adresa si generarea/verificarea cimpurilor CRC sint executate in intregime de 8272.

Circuitul 8272 este complet programabil in sensul ca se pot specifica parametrii unitatii de disc, densitatea de inregistrare (FM/MFM) (vezi programare 8272).

5.3. CONTROLLER FLOPPY DISK - 8272

Circuitul 8272 este un Controller de Floppy Disc (FDC) care asigura semnalele de comanda pentru interfatarea procesorului cu 2 drive-uri. Acest circuit poate lucra fie in format simpla densitate (MFM IBM System 3740), sau in format dubla densitate (MFM IBM System 34) -inclusiv dubla fata. 8272 asigura semnale

de control care simplifica proiectarea PLL-ului extern si a circuitului de scriere.

Descrierea pinilor:

RESET -Reset, intrare activa pe 1. Un 1 pe acest pin trece pe 8272 in stare de asteptare si pune iesirile acestuia in starea "0".

-RD -Read, intrare activa pe "0".Este un semnal de control pentru transferul datelor din 8272 pe magistrala de date.

-WR -Write, intrare activa pe "0". Este un semnal de comanda pentru transferul datelor de pe magistrala catre 8272.

-CS -Chip Select, intrare activa pe "0". Un "0" pe acest pin permite lui 8272 sa interpreteze comenzile de pe magistrala.

AO -Data/Status Register Select, intrare. Daca AO="1" este selectat registrul de date, iar daca AO="0" este selectat registrul de stare.

DBO-DB7 -Data Bus, bidirectionale.Se conecteaza la magistrala de date a sistemului.

DRQ -Data DMA Request ,iesire activa pe "1".Atunci cind 8272 trece acest pin in starea "1", solicita DMA-ul pentru un transfer de date.

-DACK -DMA Acknowledge, intrare activa pe "0". DMA-ul raspunde atunci cind este gata sa efectueze un transfer.

TC -Terminal Count, intrare activa pe "1".Indica terminarea unui transfer DMA.

IDX -Index, intrare activa pe "1".Indica inceputul unei piste pe disc.

INT -Interrupt,iesire activa pe "1".Semnaleaza microprocesorului o intrerupere.

CLK -Clock, intrare .Ceas de 8 Mhz.

-RW/SEEK -Read Write Seek, iesire.Cind este in "1" selecteaza modul Seek, iar cind este pe "0" selecteaza modul Read/Write.

LCT/DIR -Low Current/Direction , iesire.In modul Read/Write scade curentul in pistele interioare, iar in modul Seek determina directia de deplasare a capului de citire/scriere.

FR/STP -Fault Reset/Step, iesire.In modul Read/Write reseteaza codul de eroare furnizat de disc, iar in modul Seek da pulsuri pentru mutarea capului de citire/scriere pe un alt cilindru.

HDL -Head Load,iesire activa pe "1". Comanda de lasare a capului de itire/scriere pe disketta.

RDY -Ready, intrare activa pe "1".Indica faptul ca drive-ul este gata sa trimita sau sa receptioneze date.

WR/TS -Write Protect/Two-side , intrare.In modul Read/Write sesizeaza starea Write Protect, iar in modul Seek starea Two-side.

FLT/TRKO -Fault/Track0, intrare.In modul Read/Write sesizeaza conditia de eroare a drive-ului , iar in modul Seek conditia de Track0 .

PS1,PSO -Precompensation(pre-shift), iesiri.Scrie starea de precompensare in timpul modului MFM .

WD DATA -Write Data,iesire. Iesire de ceas intercalat cu bitii de date catre drive.

DS1,DSO -Drive Select, iesiri.Selecteaza unul din cele 4 drive-uri.

HDSEL -Head Select , iesire.Selecteaza capul 1 cind este in "1" si capul 0 cind este in "0".

[illegible] -[illegible] Mode, iesire.Aceasta iesire selecteaza modul MFM cind este in "1" si modul FM cind este in "0".

WE -Write Enable, iesire care valideaza datele care trebuiesc scrise .

RD DATA -Read Data, intrare.Intrare de ceas intercalat cu bitii de date dinspre drive.

DW -Data Window, intrare. Semnal generat de PLL, folosit pentru esantionarea datelor de la drive.

WR CLOCK -Write Clock, intrare.Rata de scriere a datelor.

8272 contine doua registre care pot fi accesate de procesorul de baza:registrul de stare si registrul de date.

Registrul de stare pe 8 biti contine informatie despre unitatea de disc si poate fi accesat in orice moment.

Registrul de date de 8 biti contine mai multe registre intr-o stiva care memoreaza date, comenzi, parametrii si informatii de stare.

Citirea/scrierea registrului de date se efectueaza folosind portul 135 , iar citirea registrului de stare folosind portul 133.

8272 este capabil sa execute 15 comenzi diferite.Fiecare comanda este initiata de un transfer multioctet de la procesor, iar rezultatul executiei comenzii poate fi un transfer multioctet catre procesor.

Fiecare comanda se considera formata din trei faze:

FAZA COMANDA - 8272 primeste de la procesor toata informatia necesara pentru a indeplini o operatie anumita

FAZA DE EXECUTIE- 8272 executa operatia

FAZA DE REZULTAT- dupa terminarea operatiei, starea unitatii de disc si alte informatii privind executia sint disponibile pentru procesor.

5.4. REZUMAT DE PROGRAMARE

A: PENTRU 8272

- FDC Data register I/O port 135
- FDC Status register I/O port 133
- STATUS REGISTER port de intrare 138

BIT0 - drive 0 in Seek Mode
BIT1 - drive 1 in Seek Mode
BIT2 - drive 2 in Seek Mode
BIT3 - drive 3 in Seek Mode
BIT4 - citire / scriere este in desfasurare
BIT5 - 8272 este in mod non DMA
BIT6 - transfer de date de la registru 8272 la CPU daca bitul este 1 sau de la CPU la 8272 daca bitul este 0.
BIT7 - indica ca registrul de date este gata sa trimita sau sa primeasca date de la CPU.

B: Registrul de selectie - port de iesire 7.

BIT0 - semnal de terminare operatie pentru 8272 (TC)
BIT1 - selectie drive 0
BIT2 - selectie drive 1
BIT3 - pornire motor
BIT4 - RESET pentru 8272.

5.5. DESCRIERE FUNCTIONARII

5.5.1. GENERALITATI.

Interfata permite cuplarea unei unitati disc flexibil 1/4", la HC85 (optional se pot cupla doua unitati).
Unitatea de disc flexibil este legata la sistemul de baza C85 + interfata) printr-un cablu plat de 34 fire.
Unitatea de disc are sursa separata care furnizeaza tensiule +5V si +12V, tensiunea +5V trimisa printr-un cablu separat imenteaza interfata de disc montata pe HC85

5.2. FORMATUL INREGISTRARII.

Datele sint inregistrate pe disketta (disc flexibil) pe "piste". Opista este o suprafata circulara concentrica cu ura din mijlocul discului.Fiecare pista se afla la alta stanta fata de centrul diskettei.Pista din marginea diskettei te numerotata cu 0, iar cea din interior cu 79.Densitatea de registrare corespunzatoare la 80 piste este de 96 traks per ch (96 piste pe inci) 96TPI.
Fiecare pista este formata din 16 sectoare de cite 256 teti. Ambele fete ale diskettei fiind folosite rezulta pentru disketta o capacitate de 256*16*80*2 octeti, adica 655 360 teti (640 ko). Sectoarele sint numerotate de la 1 la 16 , iar tele sint fata 0 si fata 1.
In formatul MFM pentru minidiscuri (5 1/4") celula de bit te de 4 microsecunde . Daca in interiorul celulei apare un imls, bitul este 1, absenta impulsului pe durata celulei indica 0, daca sint transmisi doi biti de 0 consecutivi apare un puls de ceas la trecerea de la o celula de bit la cealalta.

```
     4MICROSEC
     !<--1-->!<--1-->!<--0-->!<--1-->!<--0-->!<--1-->!<--0-->!
     !       !       !       !       !       !       !       !
 DATA---    -----   ------------  ------------  ----------
        ! !      ! !             ! !            ! !
         -        -               -              -

     !       !       !       !       !       !       !       !
(Data--------        -------        -------         --------
indow)       !       !       !       !       !       !
              -------        -------        -------
```

Format MFM

imnalul DW (data window) indica fereastra datelor el comutind la ranita fiecarei celule de bit.

5.3. INTERFATA CONTROLLER DISC(8272) SI UNITATE DISC FLEXIBIL

Desi circuitul specializat 8272 executa cele mai multe intre functiile unei interfete de disc flexibil , totusi anumite ircuite logice aditionale sint necesare.
Logica aditionala are urmatoarele functii:separarea datelor e ceas in cadrul operatiei de citire, precompensarea la scrierea

5. DESCRIEREA FUNCTIONARII

5.5.1. GENERALITATI.

Interfata permite cuplarea unei unitati disc flexibil 5 1/4" la HC85 (optional se pot cupla doua unitati).

Unitatea disc flexibil este legata la sistemul de baza (HC85 + interfata) printr-un cablu plat de 34 fire.

Unitatea de disc are sursa separata care furnizeaza tensiunile +5V si +12V, tensiunea +5V transmisa printr-un cablu separat alimenteaza interfata de disc montata pe HC85.

5.5.2. FORMATUL INREGISTRARII.

Datele sint inregistrate pe disketta (disc flexibil) pe 80 "piste". Opista este o suprafata circulara concentrica cu gaura din mijlocul discului.Fiecare pista se afla la alta distanta fata de centrul diskettei.Pista din marginea diskettei este numerotata cu 0, iar cea din interior cu 79.Densitatea de inregistrare corespunzatoare la 80 piste este de 96 traks per inch (96 piste pe inci) 96TPI.

Fiecare pista este formata din 16 sectoare de cite 256 octeti. Ambele fete ale diskettei fiind folosite rezulta pentru o disketta o capacitate de 256*16*80*2 octeti, adica 655 360 octeti (640 ko). Sectoarele sint numerotate de la 1 la 16 , iar fetele sint fata 0 si fata 1.

In formatul MFM pentru minidiscuri (5 1/4") celula de bit este de 4 microsecunde . Daca in interiorul celulei apare un impuls, bitul este 1, absenta impulsului pe durata celulei indica un 0, daca sint transmisi doi biti de 0 consecutivi apare un impuls de ceas la trecerea de la o celula de bit la cealalta.

```
      4MICROSEC
      !<--1-->!<--1-->!<--0-->!<--1-->!<--0-->!<--1-->!<--0-->!
      !       !       !       !       !       !       !       !
RD DATA---   -----   -------------   ------------   ----------
         ! !     ! !              ! !            ! !
          -       -                -              -

      !       !       !       !       !       !       !       !
DW(Data---------     -------         -------        ---------
window)      !       !       !       !       !       !
             -------         -------         -------
```

Format MFM

Semnalul DW (data window) indica fereastra datelor el comutind la granita fiecarei celule de bit.

5.5.3. INTERFATA CONTROLLER DISC(8272) SI UNITATE DISC FLEXIBIL.

Desi circuitul specializat 8272 executa cele mai multe dintre functiile unei interfete de disc flexibil , totusi anumite circuite logice aditionale sint necesare.

Logica aditionala are urmatoarele functii:separarea datelor de ceas in cadrul operatiei de citire, precompensarea la scrierea

pe disc generarea ceasurilor pentru 8272, emitatori si receptori pentru semnalele transmise pe cablu intre interfata si unitatea de disc.

Circuitul de separare a datelor de ceas este blocul cel mai complex al interfetei , in esenta este vorba de un circuit cu calare de faza PLL(phase lock loop)

```
                           -----------
                           !         !--------> DW
RD DATA --------->!  PLL   !                          la 8272
de la disc         !         !--------> RD DATA
                           !         !
                           -----------
```

Principala sarcina a PLL-ului este de a genera pornind de la semnalul RD DATA venit de la disc , semnalele RD DATA si DATA WINDOW necesare lui 8272 in deserializarea datelor.

Datele de intrare de la disc (vezi fila 2 din setul de scheme) sint receptionate printr-un circuit inversor cu prag (74LS14) . Un monostabil digital (circuitul bistbil C1 impreuna cu numaratorul C4) formeaza latimea impulsului de date la o durata de 2 microsec.(16*1/8). Multiplexorul C2(tip 74LS153) ofera la intrarea comparatorului de faza C22 (MC4044) semnalul de date format ca semnal de referinta si iesirea oscilatorului comandat in tensiune C3(MC4024) divizata prin numaratorul C32(tip 74LS161) iesirea de la pin 12 ca marime de adus in faza.

Comparatorul de faza detecteaza eventuala diferenta de faza intre cele doua semnale si actioneaza asupra intrarii de comanda a oscilatorului C3 (pin 2) prin intermediul filtrului trece jos format din rezistenta R7 si condensatorul C2, in sensul cresterii sau scaderii frecventei de oscilatie , astfel incit semnalele de intrare sa fie in faza.

Pe durata in care nu se fac operatii de citire de la disc , semnalul VCOde la 8272 este utilizat pentru comutarea multiplexorului C2, care va da catre comparator semnalul WRITE CLOCK de 250KHz (ceas de scriere) ca semnal de referinta pentru bucla PLL, asigurind pentru oscilator o frecventa de 2MHz in starea de repaus (nu vin date de la disc).

Precompensarea la scriere (fila 1) este realizata de circuitele B4(74LS175) si B5(74LS153).

Prin iesirile PS0 si PS1 circuitul 8272 controleaza scrierea pulsurilor de date pe disc in avans, normal sau intirziat in functie de pista pe care se scrie.Pulsul de scriere de la 8272 este deplasat prin registrul 8272 folosind un ceas de 4MHz (se realizeaza intirzieri de 250 ns).

In functie de starea lui PS0 si PS1 multipexorul va selecta o faza neintirziata sau intirziata a semnalului de scriere date.

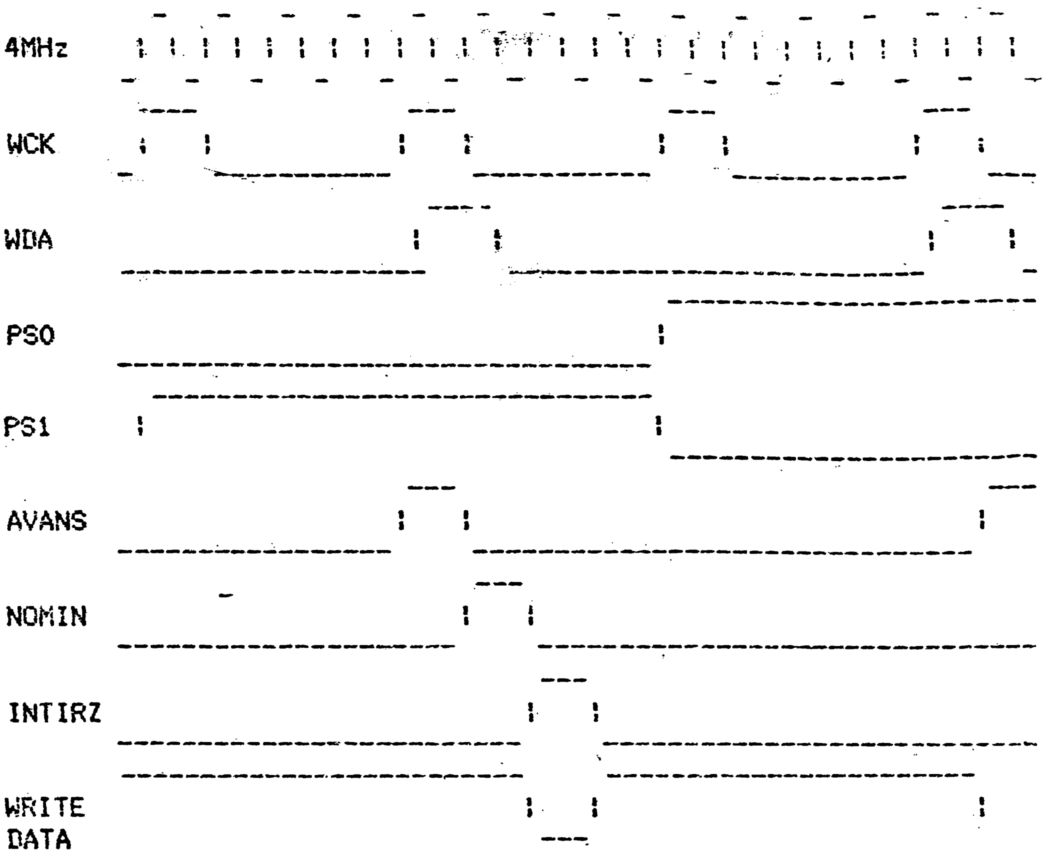


Diagrama de temporizare pentru
precompensare la scriere

Blocul generator de ceasuri foloseste un oscilator cu cuartz 16MHz pentru a obtine prin divizari semnalul de 4MHz care reprezinta ceasul pentru circuitul 8272 si ceasul de scriere WCK(write clock) cu frecventa de 250KHz.

Semnalele TRACK0,PROTECT si INDEX de la disc sint receptionate folosind circuitul A6 (74LS14).

Semnalele de iesire de la 8272 sint emise catre disc folosind circuitul A5(7406):

- SIDE -comanda fata discului utilizata selectind capul 0 sau 1
- WRENABLE -activare scriere
- WR DATA -scriere pulsuri date
- DIRECTION -comanda directie
- STEP -comanda pas

5.5.6. DESCRIEREA UNEI SECVENTE DE LUCRU CU DISCUL

Circuitul specializat 8272 executa automat serializarea/deserializarea venite de la disc (semnalele RD DATA si WR DATA) sub controlul unitatii centrale de prelucrare (Z80A) aflata pe placa de baza a microcalculatorului HC 85.

Circuitul 8272 poate executa 15 operatii diferite. Fiecare operatie se desfasoara ca urmare a unei comenzi primite de la procesor. In faza de comanda procesorul trimite catre 8272 un grup de octeti care descriu operatia care va avea loc, primul octet fiind intotdeauna codul operatiei. Urmeaza apoi executia propriu zisa si apoi faza de rezultat in care rpocesorul primeste de la

8272 informatii de stare asupra modului in care s-a desfasurat operatia respectiva. In functie de operatie o anumita faza poate fi mai lunga sau mai scurta sau poate lipsi.

Pe durata transferului de date de la 8272 (controller) la memorie (in cazul unei citiri a programului memorat pe disc) ca si a transferului in sens invers (la salvarea unui program din memorie pe disc) procesorul initiaza operatia de transfer trimitind lui 8272 codul operatiei si toata informatia referitoare la specificarea pistei, fetei, sectorului cu care se lucreaza si tipul transferului (cu DMA sau NON DMA).

In cazul nostru transferul este de tip NON DMA (nu exista un dispozitiv de acces direct la memorie) si de aceea in timpul fazei de executie a operatiei de transfer procesorul va furniza lui 8272 numarul de octeti necesari pentru a fi serializati de catre controller si scrisi pe disc sau va primi octeti deserializati de la 8272 pe care ii va inscrie in memorie.

Pentru exemplificare vom lua o secventa de lucru cu discul care poate fi urmarita folosind instructiuni simple BASIC :

1. - selectie unitate disc

Pentru aceasta vom programa (vezi rezumat de programare) registrul de selectie cu:

```
bit 0 = 0    -nu se da semnal TC
bit 1 = 1    -selectie unitate 0
bit 2 = 0    -nu se selecteaza unitatea 1
bit 3 = 1    -pornire motor
bit 4 = 1    -se lasa 8272 sa opereze
```

prin comanda

```
OUT 7,26
```

Inurma acestei comenzi led-ul de selectie unitate se aprinde si la inchiderea usitei unitatii disketta aflata in unitate incepe sa fie citita.

2. -specificarea modului de lucru pentru 8272

In cadrul acestei comenzi se specifica timpul de descarcare cap HUT (intre 0-240 ms), SRT- rata pasului (interval de timp intre doi pasi consecutivi) si timpul de incarcare cap (2-256ms).

Operatia de specificare nu cuprinde decit faza de comanda:

```
OUT 135,3       -cod operatie
OUT 135,0EFH   -HEAD UNLOAD TIME
        ||
        | ---> HUT
        |----> SRT (step rate time)
OUT 135,31H
       ||
       | ----> NON DMA
       |-----> HLT ( head load time )
```

3. -recalibrare

Prin recalibrare se intelege pozitionarea capului de scriere citire pe pista 0. Atit timp cit semnalul TRACK 0 (pista 0) este la "0", 8272 activeaza directia pe "1" (catre exterior) si emite pulsuri pe linia STEP (pasi pentru motorul pas cu pas).

```
OUT 135,7        - cod operatie
OUT 135,0        - unitate 0
```

4. -citire stare intrerupere.

Aceasta comanda este obligatorie dupa operatia de recalibrare, in aceasta operatie fiind disponibil registrul de stare. In faza de rezultat se poate verifica executarea corecta a operatiilor de recalibrare sau cautare pista (SEEK).

```
OUT 135,8       - cod operatie
IN  135         - citeste registru stare
IN  135         - citeste cilindru curent
```

5. -citire identificator de sector (ID)

Operatia de citire ID ne da pozitia curenta a capului de citire/scriere . 8272 memoreaza valorile din primul cimp identificator pe care reuseste sa-l citeasca , cimp care da informatii referitoare la sectorul de date curent. Terminarea cu succes a operatiei de citire ID poate fi constatata la citirea registrului de stare 0 care trebuie sa aiba bitii 7 si 6 la 0.

```
OUT 135,4*16+10    - cod operatie
              !
              -------> MFM
OUT 135,0          - unitate disc
```

Urmeaza faza de executie , iar apoi faza de citire a rezultatelor:

```
IN 135    -citeste S0
IN 135    -citeste S1
IN 135    -citeste S2
IN 135    -citeste cilindru
IN 135    -citeste capul
IN 135    -citeste sector
IN 135    -citeste formatul pistei
```

Prima citire a registrului de stare S0 trebuie sa dea rezultatul 0 indicind terminarea normala a operatiei.

Dintre opratiile descrise aici numai operatia de citire ID pune in evidenta functionarea corecta a interfetei dintre 8272 si unitatea de disc in cadrul unei operatii de citre de pe disc.

Operatiile de scriere disc, citire disc se executa in mod similar Faza de executie a acestor operatii necesita schimb de informatie intre procesor si 8272 la o viteza mare, fapt care face studiul acestor operatii folosind limbajul BASIC imposibil.

Rutinele care fac aceste transferuri se afla in ROM-ul interfetei si sint activate ori de cite ori se lucreaza cu discul folosind comenzile BASIC extins: LOAD * sau SAVE * .